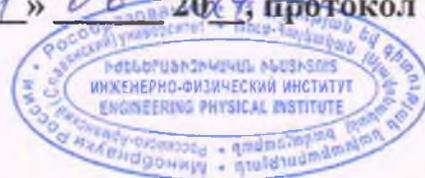


ГОУ ВПО Российско-Армянский (Славянский) университет

Утверждено
Директор Института И.И.И.

«11» 06 2014 г., протокол № 38



УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС ДИСЦИПЛИНЫ

Наименование дисциплины **Б1.Б.14 «Логическое проектирование
электронных средств»**

Автор (ы) : К.т.н., доцент Туманян Анна Кароевна
Ф.И.О, ученое звание (при наличии), ученая степень (при наличии)

Направление подготовки: **11.03.03 «Конструирование и технология
электронных средств»**

Наименование образовательной программы: **«Микроэлектронные схемы и
системы»**



УМКД_Синтез_и_о
птимизация 2024.d

Согласовано:

И.о. зав. Кафедрой Микроэлектронных схем и систем

Меликян В.Ш.

(подпись)

1. АННОТАЦИЯ

1.1. Краткое описание содержания данной дисциплины;

1. Аннотация

Выписка из ФГОС ВО РФ по минимальным требованиям к дисциплине

В результате изучения данной дисциплины студент должен:

- **знать:** основы логического проектирования, проектирование цифровых интегральных схем;
- **уметь:** проектировать электронные средства на логическом уровне;
- **владеть:** навыками анализа, моделирования и проектирования логических схем.

1.2. Трудоемкость: 5 зе., 144ч.-34ч. лек., 18 ч. лаб., 47ч. СР, 45ч. экзамен;

1.3. Взаимосвязь дисциплины с другими дисциплинами учебного плана специальности (направления)

Курс «Логическое проектирование электронных средств» тесно взаимосвязан с такими дисциплинами специальности «Конструирование и технология электронных средств», как «Схемо- и системотехника электронных средств», «Языки проектирования аппаратных средств», «Проектирование цифровых интегральных схем», «Электротехника и электроника».

Основные положения дисциплины должны быть использованы в дальнейшем при изучении следующих дисциплин: синтез и оптимизация электронных средств; тестирование интегральных схем.

1.4. Результаты освоения программы дисциплины:

Код компетенции (в соответствии рабочим с учебным планом)	Наименование компетенции (в соответствии рабочим с учебным планом)	Код индикатора достижения компетенций (в соответствии рабочим с учебным планом)	Наименование индикатора достижений компетенций (в соответствии рабочим с учебным планом)
УК-2.	Способен определять круг задач в рамках поставленной цели и выбирать оптимальные способы их решения, исходя из действующих правовых	УК-2.1.	Знает подходы в постановке задач для достижения поставленной цели, обладает знаниями в выборе оптимальных способов их решения.

	норм, имеющихся ресурсов и ограничений	УК-2.2.	Умеет, исходя из действующих правовых норм, имеющихся ресурсов и ограничений, выбирать оптимальные способы решения задач в профессиональной области для достижения поставленной цели.
		УК-2.3.	Владеет навыками определения круга профессиональных задач в рамках поставленной цели; выбором оптимальных способов их решения с учетом действующих правовых норм и имеющихся ресурсов.
УК-6.	Способен управлять своим временем, выстраивать и реализовывать траекторию саморазвития на основе принципов образования в течение всей жизни	УК-6.1.	Знает основные приемы эффективного управления собственным временем
		УК-6.2.	Умеет эффективно планировать и контролировать собственное время
		УК-6.3.	Владеет методами управления собственным временем
ОПК-3	Способен применять методы поиска, хранения, обработки, анализа и представления в требуемом формате информации из различных источников и баз данных, соблюдая при этом основные требования информационной безопасности	ОПК-3.1	Знает современные принципы поиска, хранения, обработки, анализа и представления в требуемом формате информации
		ОПК-3.2	Умеет решать задачи обработки данных с помощью современных

			средств автоматизации
		ОПК-3.3	Владеет навыками обеспечения информационной безопасности
ПК-1	Способен разработать функциональные описания и технические задания на систему на кристалле (СнК)	ПК-1.1	Знает инициирование постановки работ по проектированию СнК, определение области применения СнК и выбор технологического базиса для СнК (технологии изготовления)
		ПК-1.2	Умеет разработать архитектуры всей СнК на основе сложнофункциональных блоков и проводить верификации разработанного архитектурного решения.
		ПК-1.3	Владеет набором блоков, реализуемых в виде аппаратной части, и набором блоков, реализуемых в виде программной части (разбиение СнК на аппаратную и программную части)
ПК-2	Способен разработать синтезпригодные описания уровня регистровых передач	ПК-2.1	Знает разработку и моделирование тестового воздействия и тестового вектора на функциональные

			блоки
		ПК-2.2	Умеет моделировать разработанные цифровые блоки в составе всей системы в целом
		ПК-2.3	Владеет программно-аппаратной верификацией СнК
ПК-3	Способен синтезировать логические схемы в базисе выбранной технологической библиотеки на основе заданных временных и физических ограничений с использованием средств автоматизированного проектирования	ПК-3.1	Знает разработку набора ограничений на процесс синтеза
		ПК-3.2	Умеет разработать и встраивать средства для самотестирования и кристального тестирования
		ПК-3.3	Владеет моделированием полученного списка цепей цифровой части СнК

2. УЧЕБНАЯ ПРОГРАММА

2.1. Цели и задачи дисциплины

Изучение теории булевых функций, теории автоматов и методов логического проектирования цифровых схем, формирование необходимых теоретических знаний и практических навыков моделирования и проектирования электронных средств на логическом уровне.

2.2.Трудовоемкость дисциплины и виды учебной работы (в академических часах и кредитах)

Виды учебной работы	Всего, в акад. часах
1.Общая трудовоемкость изучения дисциплины по семестрам, в т. ч.:	144/5 к.
1.1.Аудиторные занятия, в т. ч.:	
1.1.1. Лекции	34
1.1.2. Лабораторные занятия	18
1.2. Самостоятельная работа, в т.ч.:	47
Итоговый контроль <u>Экзамен</u>	45

2.3. Содержание дисциплины

2.3.1. Тематический план и трудовоемкость аудиторных занятий (модуль, разделы дисциплины и виды занятий) по учебному плану

Разделы и темы дисциплины	Всего (ак. Часов)	Лекци и(ак. Часов)	Лабор. (ак. Часов)
Модуль 1 (семестр 6)	2=3+4	3	4
Раздел 1. Введение			
Цель, задачи и общее содержание курса.	1	1	
Раздел 2. Типовые узлы устройств последовательностного типа. Регистры и счетчики.			
Тема 2.1. Назначение регистров, типы регистров – на основе триггеров и на защелках. Сдвигающие регистры, универсальный сдвигающий регистр. Арифметический, логический и циклический сдвиги. Устройства комбинационного сдвига на заданное число разрядов (barrel shifters).	8	6	2
Тема 2.2. Двоичные счетчики. Асинхронные и синхронные счетчики, с заданным коэффициентом пересчета, с предварительной загрузкой, с управляемым коэффициентом пересчета, двоично-десятичные счетчики. Счетчики как делители частоты.	4	2	2

Тема 2.3. Счетчики на основе сдвигающих регистров: кольцевые счетчики и счетчики Джонсона. Линейные сдвигающие регистры с обратной связью (LFSR Галуа и Фибоначчи) – генераторы псевдослучайных последовательностей. Описание на Verilog счетчиков и сдвигающих регистров.	4	2	2
Тема 2.4. Временные ограничения синхронных схем. Метастабильность. Асинхронные входы и схемы синхронизаторов.	2	2	-
	21	18	6
Раздел 3. Асинхронные схемы			
Тема 3.1. Модели автоматов: синхронная, асинхронная, самосинхронизирующаяся.	2	2	-
Тема 3.2. Асинхронные автоматы. Требования к асинхронным автоматам. Структура асинхронных автоматов моделей Мили и Мура.	2	1	1
Тема 3.3. Противогоночное кодирование состояний автомата.	3	2	1
Тема 3.4. Функциональные и логические состязания в комбинационных схемах. Статический и динамический риск.	3	2	1
Тема 3.5. Проектирование последовательностных схем с обратной связью. Этапы синтеза.	3	2	1
Тема 3.6. Анализ схем с обратной связью.	4	2	2
Тема 3.7. Самосинхронизирующиеся асинхронные схемы. Двухфазный и четырехфазный Hand-Shake протоколы.	4	2	2
Тема 3.8. Понятие конвейерной обработки. Синхронный и асинхронный конвейеры. Описание конвейера на Verilog.	4	2	2
Тема 3.9. Пример асинхронного конвейера. С-элемент Маллера. Генерация сигнала	4	2	2
Итого	52	34	18
Модуль 3 (Семестр 7)			
Раздел 1. Проектирование арифметических устройств и цифровых систем			

Тема 1.1. Одноразрядные полусумматоры и полные сумматоры. Сложение и вычитание в дополнительном коде. Многоразрядные последовательные и параллельные сумматоры. Схемы ускоренного переноса. Многооперандные сумматоры. Сумматоры с сохранением переноса.	8	6	2
Тема 1.2. Схемы умножения последовательного типа (сдвиг множителя и суммы частичных произведений, сдвиг множимого и множителя)	3	2	1
Тема 1.3. Синтез цифровой системы на примере арифметических устройств. Представление системы в виде взаимодействия операционного и управляющего блоков. Понятие микроопераций.	2	2	-
Тема 1.3. Традиционный способ проектирования цифровой системы на примере устройства умножения. Описание на Verilog, симуляция и синтез. Устройства целочисленного деления.	4	2	2
Тема 1.4. Комбинационные умножители матричного и древовидного типа.	2	2	-
Тема 1.5. Умножение по алгоритму Бута (Radix2, Radix4). Умножение на 3 и 4 разряда. Описание устройств на Verilog.	4	2	2
Тема 1.5. Арифметические устройства с плавающей запятой. Стандарт IEEE-754. Разработка устройств и описание на Verilog.	4	2	2
Раздел 2. Память вычислительных систем. Полупроводниковая память			
Тема 2.1. Иерархия запоминающих устройств. Базовая ячейка SRAM. Структурные схемы микросхем статической памяти (SRAM). Примеры микросхем.	4	2	2
Тема 2.2. SSRAM – синхронная статическая память. Структура микросхемы. Примеры описания на Verilog.	3	2	1
Тема 2.3. Тема 5.4. Двухпортовая и многопортовая SRAM. Структура и назначение FIFO буфера. Описание на Verilog.	4	2	2
Тема 2.3. Структура и назначение регистрового файла. Описание на Verilog.	3	2	1
Тема 2.4. Ассоциативная память. Запоминающие элементы ассоциативной памяти (CAM cell). Применение кэш-памяти.	3	2	1

Тема 2.5. Базовая ячейка DRAM. Структура микросхемы асинхронного динамического ЗУ. Функция контроллера. Временные диаграммы динамической памяти. Сравнение SRAM и DRAM. Синхронная динамическая память –	3	2	1
Тема 2.6. Постоянная память (ROM). Масочные и программируемые ROM:PROM, EPROM, EEPROM.	3	2	1
Тема 2.7. Флэш-память. NAND и NOR флэш-память, их структура и применение.	2	2	-
	52	34	18

2..3.2. Краткое содержание разделов дисциплины в виде тематического плана

Основные разделы:

Раздел 1. Цель, задачи и общее содержание курса

Раздел 2. Типовые узлы устройств последовательностного типа. Регистры и счетчики.

Раздел 3. Асинхронные схемы..

Раздел 4. Проектирование арифметических устройств и цифровых систем

Раздел 5. Организация памяти

Раздел 1. Введение

Цель, задачи и общее содержание курса.

Раздел 2. Комбинационные схемы и схемы с памятью. Типы регистров и их применение. Классификация счетчиков. Двоичные счетчики и счетчики на основе сдвигающих регистров. Barrel shifters.

Раздел 3. Ограничения, накладываемые на асинхронные схемы. Противогоночное кодирование состояний. Примеры синтеза. Самосинхронизирующиеся схемы. Двухфазный и четырехфазный Hand-Shake протоколы. Генерация сигнала окончания.

Раздел 4. Арифметические устройства:

- Сумматоры. Последовательные и параллельные сумматоры. Схемы распространения переноса. Многооперандные сумматоры.
- Устройства умножения и деления. Устройства последовательного умножения. Комбинационные умножители. Выполнение операции деления. Логические операции.
- Алгоритмы выполнения операций над числами с плавающей запятой.

Раздел 5. Память вычислительных систем.

Вес итоговой оценки 3-го промежуточного контроля в результирующей оценке промежуточных контролей т.д.							0.5	
Вес результирующей оценки промежуточных контролей в результирующей оценке итогового контроля								0.5
Экзамен(оценка итогового контроля)								0.5
			$\Sigma = 1$			$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$

3. Теоретический блок

3.1 Материалы по теоретической части курса

3.1.1. Учебники

1. S. Sarkar, A. Kumar. Foundation of Digital Electronics and Logic Design. Pan Stanford Publishing Pte Ltd, 2014
2. S. Brown, Z. Vranesic. Digital Logic with Verilog Design. McGraw-Hill Higher Education, 2 edition, 2014.
3. J. Wakerly. Digital Design Principles and Practices. Fifth Edition with Verilog. Pearson, 2018
4. Дэвид М. Харрис и Сара Л. Харрис. Цифровая схемотехника и архитектура компьютера: RISC-V. М. 2022.
5. А.К.Туманян. Основы цифрового проектирования с использованием языка Verilog, Ереван, Чартарагет, 2012.

4. Фонды оценочных средств (указываются материалы, необходимые для проверки уровня знаний в соответствии с содержанием учебной программы дисциплины).

4.1. Планы лабораторных работ

Анализ и синтез комбинационных схем

Лаб.1. Способы представления булевых функций.

Канонические формы представления булевых функций: СДНФ, КДНФ. Представление функций в полиномиальной форме. Представление булевых функций в виде n-мерного куба.

Табличный метод минимизация булевых функций Квайна – МакКласки.

Лаб.2. Описание на Verilog преобразователя входного двоичного кода в код с избытком 3 и в код 2421. Симуляция с помощью VCS - симулятора.

Лаб.3. Описание на Verilog схемы извлечения корня квадратного. Симуляция с помощью VCS и синтез с помощью Design Compiler.

Лаб.4. Реализация булевых функций на мультиплексорах и дешифраторах.

Описание на Verilog мультиплексоров с заданным числом входов и заданной разрядности.

Симуляция с помощью VCS и синтез с помощью Design Compiler.

Описание на Verilog дешифраторов $n \times 2^n$. Симуляция с помощью VCS и синтез с помощью Design Compiler.

Лаб.5. Построение схем сравнения кодов. Описание на Verilog схемы сравнения на равно, не равно и $>$, $<$, $=$. Симуляция и синтез.

Проектирование схем конечных автоматов, счетчиков и регистров с использованием языка Verilog .

Построение графа автомата, выполняющего заданное преобразование входной последовательности в выходную (описание детекторов, арбитров и др.)

Изучение работы триггеров и защелок. Описание на Verilog триггеров и защелок. Симуляция с помощью VCS-симулятора.

Лаб.7. Структурный синтез автоматов. Построение схемы детектора входной двоичной последовательности на заданном типе триггеров вручную.

Описание конечного автомата (FSM) Мили на Verilog (например, автомата блокировки лифта). Симуляция и синтез.

Лаб.8. Описание конечного автомата (FSM) Мура на Verilog (схемы арбитра). Симуляция и синтез.

Лаб.9. Описание на Verilog сдвигающих регистров, счетчиков, LFSR. Симуляция и синтез.

Лаб.10. Разработка асинхронных и самосинхронизирующихся схем

Семестр 7.

Лаб.1.2. Проектирование схем параллельных сумматоров. Описание на Verilog. Симуляция и синтез

Лаб. 3,4. Проектирование устройств умножения. Описание на Verilog. Симуляция и синтез.

Лаб. 5. Описание на Verilog схемы сложения/вычитания чисел с плавающей запятой (single precision)

Лаб.6. Описание на Verilog схемы умножения чисел с плавающей запятой (single precision).

4.2. Материалы по практической части курса

4.2.1. Учебно-методические пособия:

- Թվային սխեմաների նախագծման հիմունքներ: մեթոդական ցուցումներ: Մաս 1, Մաս 2: ՀԱՊՀ, Երեվան, 2017.
- Թվային համակարգեր: Լաբորատոր աշխատանքներիկատարման մեթոդական ցուցումներ: Մաս 1: ՀԱՊՀ, Երեվան, 2020.
- Թվային համակարգերի նկարագրու և վիրտուալ գործարքում: Մաս 2, ՀԱՊՀ, Երեվան, 2021.

4.2.2. Учебные справочники:

- Digital Design Flow (based on Synopsys EDA tools). Instructional Guidelines for Advanced Laboratory Works. Under the editorship of Vazgen Melikyan, Yerevan, Chartaraget, 2012.

4.2.3. Задачники (практикумы):

- ԷՀՄ կազմակերպում: Խնդիրների Ժողովոճու, Երեվան, 2009.

4.2.4. Наглядно-иллюстративные материалы:

- Logic Design Lectures, Slides: 1-12 PPT, PDF files.

4.2.5. др. виды материалов.

- Лекции и дополнительные материалы для описания лабораторных работ (Word Files).

5. Методический блок материалы

5.1. Перечень вопросов для экзамена

1. Понятие булевых функций. Способы представления булевых функций. Алгебраическое представление (в виде формул) – СДНФ, СКНФ.
2. Теорема Поста о функциональной полноте булевых функций. Понятие базиса
3. Минимизация булевых функций в классе дизъюнктивных нормальных форм. Понятие импликанты.
4. Минимизация функций с помощью карт Карно.
5. Табличный метод минимизации булевых функций – метод Квайна-Мак-Класки.
6. Канонические реализации булевых функций (AND-OR; OR-AND).
7. Реализация в базисе NAND, NOR.
8. Диаграммы двоичных решений. BDD и разложение функций по переменным
9. ROBDD. Реализация булевой функции на мультиплексорах 2:1.
10. Понятие абстрактного автомата. Способы задания автоматов. Минимизация числа состояний автомата.
11. Триггеры и защелки
12. Описание FSM на Verilog
13. Последовательность синтеза FSM.
14. Кодирование состояний: Унитарное кодирование, двоичное кодирование, код Грея.
15. Анализ FSM.
16. Регистры. Описание регистров на Verilog.
17. Регистры на базе D flip-flops, D latches. Clock enable, Output enable.
18. Проектирование схем Barrel shifters.
19. Сумматоры с сохранением переноса.
20. Сумматоры с параллельным переносом. (CLA)
21. Сумматоры с условными суммами.
22. Схемы умножения целых чисел без знака. Алгоритмы Бута, умножение чисел в дополнительном коде.

23. Деление целых чисел

24. Стандарты представления чисел с плавающей запятой. Арифметика чисел с плавающей запятой.