

**ГОУ ВПО Российско-Армянский (Славянский)
университет**

Утверждено
Директор Института 
« 30 » 04 2025, протокол № 05

УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС ДИСЦИПЛИНЫ

Наименование дисциплины: «Языки проектирования аппаратных средств»

Автор (ы) Туманян Анна Кароевна к.т.н., доцент
Ф.И.О, ученое звание (при наличии), ученая степень (при наличии)

**Направление подготовки: 11.03.03 «Конструирование и технология
электронных средств»**

**Наименование образовательной программы «Микроэлектронные схемы и
системы»**

Согласовано:

И.о. зав. Кафедрой Микроэлектронных схем и систем

Меликян В.Ш.



(подпись)

1. АННОТАЦИЯ

1.1. Краткое описание содержания данной дисциплины;

Изучение специализированных языков (HDL) – например, **VHDL**, **Verilog**, **SystemVerilog** – используемых для формального описания, моделирования и автоматизированного синтеза цифровых электронных систем: от простейших схем до ASIC и FPGA

1.2. Трудоемкость в академических кредитах и часах, формы итогового контроля (экзамен/зачет); 5 кр.180ч.- лек.32ч., пр.16ч., СР 82ч., экзамен 50ч.

1.3. Взаимосвязь дисциплины с другими дисциплинами учебного плана специальности (направления)

Курс «Языки проектирования аппаратных средств» тесно взаимосвязаны с такими дисциплинами специальности «Конструирование и технология электронных средств», как «Информационные технологии», «Логическое проектирование электронных средств», «Языки сценариев», «Конструирование электронных средств на базе программируемых БИС». Основные положения дисциплины должны быть использованы в дальнейшем при изучении следующих дисциплин: логическое проектирования электронных средств; проектирование цифровых интегральных схем, синтез и оптимизация цифровых интегральных схем.

1.4. Результаты освоения программы дисциплины:

Код компетенции (в соответствии рабочим с учебным планом)	Наименование компетенции (в соответствии рабочим с учебным планом)	Код индикатора достижения компетенций (в соответствии рабочим с учебным планом)	Наименование индикатора достижений компетенций (в соответствии рабочим с учебным планом)
УК-2.	Способен определять круг задач в рамках поставленной цели и выбирать оптимальные способы их решения, исходя из действующих правовых норм, имеющихся ресурсов и ограничений	УК-2.1.	Знает подходы в постановке задач для достижения поставленной цели, обладает знаниями в выборе оптимальных способов их решения.
		УК-2.2.	Умеет, исходя из действующих правовых норм, имеющихся ресурсов и ограничений, выбирать оптимальные способы решения задач в профессиональной области для достижения поставленной цели.
		УК-2.3.	Владеет навыками определения круга профессиональных задач в рамках поставленной цели; выбором оптимальных способов их решения с учетом действующих правовых норм и имеющихся ресурсов.
ПК-1	Способен разработать функциональные описания и технические задания на систему на кристалле (СнК)	ПК-1.1	Знает инициирование постановки работ по проектированию СнК, определение области применения СнК и выбор

			технологического базиса для СнК (технологии изготовления)
		ПК-1.2	Умеет разработать архитектуры всей СнК на основе сложнофункциональных блоков и проводить верификации разработанного архитектурного решения.
		ПК-1.3	Владеет набором блоков, реализуемых в виде аппаратной части, и набором блоков, реализуемых в виде программной части (разбиение СнК на аппаратную и программную части)
ПК-2	Способен разработать синтезпригодные описания уровня регистровых передач	ПК-2.1	Знает разработку и моделирование тестового воздействия и тестового вектора на функциональные блоки
		ПК-2.2	Умеет моделировать разработанные цифровые блоки в составе всей системы в целом
		ПК-2.3	Владеет программно-аппаратной верификацией СнК

2.УЧЕБНАЯ ПРОГРАММА

2.1. Цели и задачи дисциплины

Изучение основ построения и применения языков проектирования аппаратных средств, ознакомление с языками проектирования аппаратных средств VHDL и Verilog.

2.2. Трудоемкость дисциплины и виды учебной работы (в академических часах и зачетных единицах) *(удалить строки, которые не будут применены в рамках дисциплины)*

1.5. Трудоемкость дисциплины и виды учебной работы (в академических часах и зачетных единицах) *(удалить строки, которые не будут применены в рамках дисциплины)*

Виды учебной работы	Всего, в акад. часах	Распределение по семестрам					
		сем	сем	сем	— се м.	сем	сем.
1	2	3	4	5	6	7	8
1.Общая трудоемкость изучения дисциплины по семестрам, в т. ч.:	48			48			
1.1. Аудиторные занятия, в т. ч.:	32			32			
1.1.1.Лекции	16			16			
1.1.2.Практические занятия, в т. ч.	16			16			
1.2. Самостоятельная работа, в т. ч.:	82			82			
Итоговый контроль (Экзамен, Зачет, диф. зачет - указать)	зачет			зачет			

2.3. Содержание дисциплины

2.3.1. Тематический план и трудоемкость аудиторных занятий (модули, разделы дисциплины и виды занятий) по рабочему учебному плану

Разделы и темы дисциплины	Всего (ак. часов)	Лекции (ак. часов)	Практ. (ак. часов)
1		3	4
Введение Раздел 1. Языки описания аппаратуры, их классификация. Примеры описания комбинационных схем.			

Тема 1.1. Понятие модуля, декларации портов, иерархическая структура модулей, стили описания устройств. Типы данных. Переменные и цепи.	2	2	-
Тема 1.2. Способы представления булевых функций. Функционально-полные системы булевых функций. Минимизация булевых функций. Анализ и синтез комбинационных схем.	5	3	2
Тема 1.3. Операторы языка. Операции отношения и сравнения. Параллельные операторы. Операторы непрерывного присваивания. Процедурные операторы.	1	1	-
Тема 1.4. Описание на Verilog комбинационных схем. Описание на уровне вентилей, поведенческое описание.	3	2	1
Раздел 2. Функциональные узлы комбинационного типа и применение языка Verilog для их описания. Введение в System Verilog.			
Тема 2.1. Временное и событийное управление выполнением операторов. Декларация переменных в Verilog и System Verilog. Процедурные операторы: условные операторы, операторы циклов, оператор case. Управление задержкой.	2	2	-
Тема 2.2. Симуляция (моделирование) и синтез. Составление тестового модуля. Связь между основным модулем и тестирующим.	2	1	
Тема 2.3. Сумматоры. Одноразрядные полусумматоры и полные сумматоры.	2	1	1
Тема 2.4. Мультиплексоры. Их применение, логические схемы. Примеры описания на Verilog и System Verilog. Процедурное описание. Составление тестового модуля на Verilog.	4	2	2
Тема 2.5. Декодеры и демультиплексоры. Их применение, логические схемы. Примеры описания на Verilog.	4	2	2
Тема 2.6. Шифраторы. Их применение, логические схемы. Примеры описания на Verilog.	4	2	1
Тема 2.7. Компараторы (равно, не равно, больше, меньше, равно. Описание компараторов на Verilog.	4	2	1

Раздел 3. Применение языка Verilog для описания схем последовательностного типа. Триггеры и защелки			
Тема 3.1. Понятие абстрактного автомата. Способы задания автоматов. Эквивалентность автоматов. Минимизация числа состояний.	2	1	1
Тема 3.2. Структурные схемы автоматов Мили и Мура. Классификация триггеров и защелок. RS- и D-защелки. Описание на Verilog.	2	2	
Тема 3.3. Т- и JK-триггеры. Описание на Verilog. Управляемые фронтом синхросигнала триггеры.	2	1	1
Тема 3.4. Двухфронтовые триггеры. Применение. Схема, описание на Verilog.	2	1	1
Тема 3.5. Синхронный и асинхронный сброс триггеров.	1	1	-
Тема 3.5. Последовательность структурного синтеза FSM. Кодирование состояний автомата.	2	2	
Тема 3.6. Описание автоматов (FSM) на Verilog. Симуляция и синтез FSM.	2	2	2
Тема 3.7. Анализ FSM	2	2	1
ИТОГО	48	32	16

2.3.2. Краткое содержание разделов дисциплины в виде тематического плана

Основные разделы:

- важность и области применения языков проектирования аппаратных средств;
 - основы языка Verilog;
 - язык Verilog как программируемая система;
 - типы данных;
 - атрибуты в языке Verilog;
 - последовательные операторы;
 - параллельные операторы;
 - описание в Verilog типовых дискретных устройств;
 - функции (function) и задачи (task);
- функциональные узлы комбинационного типа и применение языка Verilog для их описания;

- применение языка Verilog для описания схем последовательностного типа. Триггеры и защелки;
- синтез автоматов (FSM) с использованием языка Verilog.

Модуль 1.

Введение

Краткий исторический обзор развития и применения языков для описания аппаратуры (HDL).

Раздел 1. Языки описания аппаратуры, их классификация. Примеры описания комбинационных схем.

Тема 1.1. Понятие модуля, декларации портов, иерархическая структура модулей, стили описания устройств. Типы данных. Переменные и цепи.

Понятие модуля, синтаксис декларации модуля. Декларации портов. Типы данных. Переменные и цепи. Числа в Verilog. Комментарии. Стили описания. Введение в System Verilog.

Тема 1.2. Способы представления булевых функций. Функционально-полные системы булевых функций. Минимизация булевых функций. Синтез комбинационных схем.

Понятие булевых функций и способы их представления. Нормальные формы представления. Принцип двойственности. Обобщенная теорема Де Моргана. Представление булевых функций в виде полинома Жегалкина. Функциональная полнота булевых функций, примеры базисов.

Принципы проектирования комбинационных схем. Минимизация булевых функций. Синтез многовыходных булевых функций

Тема 1.3. Операторы языка. Операции отношения и сравнения. Параллельные операторы. Операторы непрерывного присваивания. Процедурные операторы.

Операторы языка: арифметические и логические операторы, операции редукции, унарные и бинарные операторы. Операции отношения и сравнения, операции сдвига, конкатенация, репликация. Параллельные и последовательные операторы.

Тема 1.4. Описание на Verilog комбинационных схем. Описание на уровне вентилей, поведенческое описание.

Описание логических схем на Verilog: описание на уровне вентилей (gateleveldescription), потоковая форма описания, поведенческое описание булевых функций.

Раздел 2. Функциональные узлы комбинационного типа и применение языка Verilog для их описания.

Тема 2.1. Временное и событийное управление выполнением операторов. Управление задержкой. Процедурные операторы: условные операторы и операторы циклов, оператор case.

Управление событием, управление задержкой *always* и *initial* блоки. Блокирующее и неблокирующее процедурное присваивание.

Тема 2.2. Одноразрядные сумматоры: полусумматоры и полные сумматоры. Их применение.

Тема 2.3. Мультиплексоры. Их применение, логические схемы. Примеры описания на Verilog. Составление тестового модуля на Verilog. Синтез логических функций с использованием мультиплексоров.

Таблицы истинности мультиплексоров и их логические схемы. Примеры применения мультиплексоров. Мультиплексор как универсальный логический элемент. Реализация булевых функций на мультиплексорах.

Примеры описания мультиплексоров на языке Verilog с использованием различных стилей и операторов. Разработка тестового модуля. Правило подключения модулей в иерархическом описании проекта. Симуляция (моделирование) проекта.

Тема 2.4. Декодеры и демultipлексоры. Их применение, логические схемы. Примеры описания на Verilog.

Таблицы истинности декодеров и их логические схемы. Назначение декодеров. Примеры описания декодеров на Verilog: потоковое описание и процедурное с использованием операторов case и for.

Демultipлексоры. Использование дешифратора как демultipлексора. Описание демultipлексоров на Verilog. Организация передачи данных на шину с помощью мультиплексоров/демultipлексоров.

Тема 2.5. Шифраторы. Их применение, логические схемы. Примеры описания на Verilog.

Приоритетные шифраторы и их применение.

Использование операторов **case**, **casex**, **casez** для описания шифраторов.

Использование оператора цикла **for** и примеры описания декодера и приоритетного шифратора.

Тема 2.6. Компараторы. Примеры микросхем. Описание компараторов на Verilog.

Модуль 2.

Раздел 3. Применение языка Verilog (System Verilog) для описания схем последовательностного типа. Триггеры и защелки.

Тема 3.1. Понятие абстрактного автомата. Способы задания автоматов. Эквивалентность автоматов. Минимизация числа состояний.

Определение абстрактного автомата: модели Мура и Мили. Способы задания автоматов.

Эквивалентность состояний и автоматов.

Тема 3.2. Структурные схемы автоматов Мили и Мура. Классификация триггеров и защелок. RS- и D-защелки.

Описание триггеров на Verilog. Синхронный и асинхронный сброс.

Тема 3.3. Т- и JK-триггеры. Описание на Verilog. Управляемые фронтом синхросигнала триггеры.

Тема 3.4. Двухфронтовые триггеры. Применение двухфронтовых триггеров. Описание на Verilog и синтез схемы.

Тема 3.5.

Раздел 4. Синтез автоматов (FSM) с использованием языка Verilog

Тема 4.1. Последовательность структурного синтеза FSM. Описание FSM на Verilog

Тема 4.2. Симуляция и синтез FSM

2.3.3. Краткое содержание семинарских/практических занятий/лабораторного практикума

1. Минимизация булевых функций с помощью карт Карно. Реализация булевых функций в базисах NAND и NOR.
2. Анализ и синтез комбинационных схем.
3. Описание на Verilog мультиплексора и декодера. Симуляция и синтез. Составление файла проектных ограничений.
4. Описание на Verilog двойного приоритетного шифратора. Симуляция и синтез. Составление файла
5. Описание на Verilog преобразователей двоичного кода в код Грея и преобразователя кода Грея в двоичный код. Составление файла проектных ограничений. Симуляция и синтез.
6. Описание на Verilog комбинационных схем.

7. Построение графов автоматов по заданному описанию алгоритма.
8. Построение временных диаграмм защелок и триггеров.
8. Описание FSM на Verilog. Симуляция и синтез.

2.3.4. Материально-техническое обеспечение дисциплины

Аудитории и лаборатории оснащены программными средствами автоматизированного синтеза и симуляции цифровых логических схем (VCS, DesignCompiler, ICSCompiler), необходимой учебной литературой.

2.4. Модульная структура дисциплины с распределением весов по формам контролей

	Вес формы текущего контроля в результирующей оценке текущего контроля			Вес формы промежуточного контроля и результирующей оценки текущего контроля в итоговой оценке промежуточного контроля			Вес итоговых оценок промежуточных контролей в результирующей оценке промежуточного контроля	Вес оценки результирующей оценки промежуточных контролей и оценки итогового контроля в результирующей оценке итогового контроля
	M1	M2	M3	M1	M2	M3		
Вид учебной работы/контроля								
Контрольная работа		1	1		1	1		
Лабораторные работы								
Устный опрос								
Вес результирующей оценки текущего контроля в итоговых оценках промежуточных контролей								
Вес итоговой оценки 1-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес итоговой оценки 2-го промежуточного контроля в результирующей оценке промежуточных контролей							0.5	
Вес итоговой оценки 3-го промежуточного контроля в результирующей оценке промежуточных контролей т.д.							0.5	

Вес результирующей оценки промежуточных контролей в результирующей оценке итогового контроля								0.5
Экзамен(оценка итогового контроля)								0.5
			$\Sigma = 1$			$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$

3. Теоретический блок *(указываются материалы, необходимые для освоения учебной программы дисциплины)*

3.1 Материалы по теоретической части курса

3.1.1. Учебники

1. S. Sarkar, A. Kumar. Foundation of Digital Electronics and Logic Design. Pan Stanford Publishing Pte Ltd, 2014.
2. S. Brown, Z. Vranesic. Fundamentals of Digital Logic with Verilog Design. McGraw-Hill, Connect Learn Succed, 3 edition, 2014
3. J. Walkerly. Digital Design Principles and Practices. Fifth Edition with Verilog. Pearson, 2018.
4. Дэвид М. Харрис и Сара Л. Харрис. Цифровая схемотехника и архитектура компьютера: RISC-V. М.2022.
5. А.К.Туманян. Основы цифрового проектирования с использованием языка Verilog, Ереван, Чартарагет, 2012.

4. Фонды оценочных средств *(указываются материалы, необходимые для проверки уровня знаний в соответствии с содержанием учебной программы дисциплины).*

4.1. Планы практических и семинарских занятий

1. Минимизация булевых функций с помощью карт Карно. Реализация булевых функций в базисах NAND и NOR.
2. Анализ и синтез комбинационных схем.
3. Описание на Verilog мультиплексора и декодера. Симуляция и синтез. Составление файла проектных ограничений.
4. Описание на Verilog двойного приоритетного шифратора. Симуляция и синтез. Составление файла
5. Описание на Verilog преобразователей двоичного кода в код Грея и преобразователя кода Грея в двоичный код.. Составление файла проектных ограничений. Симуляция и синтез.

6. Описание на Verilog комбинационных схем.

7. Построение графов автоматов по заданному описанию алгоритма.

8. Построение временных диаграмм защелок и триггеров.

9. Описание FSM на Verilog. Симуляция и синтез.

4.2. Материалы по практической части курса

4.2.1. Учебно-методические пособия;

- Թվային սարգերի նախագծման հիմունքները Verilog լեզվի կիրառմամբ: Մեթոդական ցուցումներ. Երեվան, 2011.

- Թվային սխեմաների նախագծման հիմունքներ: մեթոդական ցուցումներ: Մաս 1, Մեթոդական ցուցումներ. Երեվան, 2017.

4.2.2. Учебные справочники;

Digital Design Flow (based on Synopsys EDA tools). Instructional Guidelines for Advanced Laboratory Works. Under the editorship of Vazgen Melikyan, Yerevan, Chartaraget, 2012.

4.2.3. Задачники (практикумы);

- ԷՀՄ կազմակերպում: Խնդիրների Ժողովո՞ծու, Երեվան, 2009.

4.2.3. Наглядно-иллюстративные материалы;

Logic Design Lectures, Slides: 1-5 PPT, PDF files.

4.2.5. др. виды материалов.

5. Методический блок

5.1. Перечень экзаменационных вопросов

1. Принципы проектирования комбинационных схем. Минимизация булевых функций.
2. Арифметические и логические операторы, операция сдвига.
3. Параллельные и последовательные операторы.
4. Описание логических схем на Verilog: описание на уровне вентилей (gateleveldescriptions).
5. Управление задержкой. *always* и *initial* блоки.
6. Блокирующее и неблокирующее процедурное присваивание.
7. Примеры применения мультиплексоров. Реализация булевых функций на мультиплексорах.

8. Назначение декодеров. Потокное описание декодера с использованием операторов `case` и `for`.
9. Демультимплексоры. Использование дешифратора как демультимплексора.
10. Описание демультимплексоров на Verilog.
11. Приоритетные шифраторы и их применение.
12. Использование операторов **`case`**, **`casex`**, **`casez`** для описания шифраторов.
13. Компараторы, их описание на Verilog.
14. Автомат модели Мура и Мили. Способы задания автоматов.
15. Структурные схемы автоматов Мили и Мура.
16. Классификация триггеров и защелок. RS- и D-защелки.
17. Описание триггеров на Verilog.
18. Т- и JK-триггеры. Описание на Verilog.
19. Двухфронтовые триггеры.
20. Синтез автоматов (FSM) с использованием языка Verilog.
21. Описание FSM на Verilog.
22. Симуляция и синтез FSM.