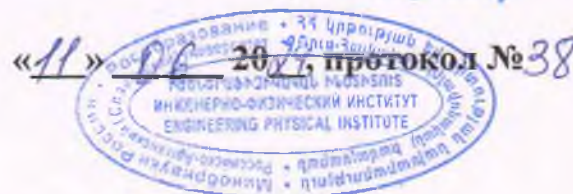


**ГОУ ВПО Российско-Армянский (Славянский)
университет**

Утверждено
Директор Института *Иванов*



УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС ДИСЦИПЛИНЫ

Наименование дисциплины: **Б1.0.05 Макетирование микроэлектронных средств**

Автор *Сагателян Анна Карписовна к.т.н., доцент*

Направление подготовки: **11.04.04 «Электроника и наноэлектроника»**

Наименование образовательной программы: **«Микроэлектронные схемы и системы»**

Согласовано:

И.о. зав. Кафедрой Микроэлектронных схем и систем

Меликян В.Ш.



(подпись)

1.АННОТАЦИЯ

1.1. Краткое описание содержания данной дисциплины;

Изучение основных принципов и методов макетирования микроэлектронных средств, а также особенностей и различий аппаратных и программных принципов макетирования.

Изучение принципов работы и ресурсов современных FPGA.

1.2. Трудоемкость: 5 зр., 180ч.-34ч. лек., 34ч. пракзан., 86 СР, экзамен.

1.3. Взаимосвязь дисциплины с другими дисциплинами учебного плана специальности (направления)

Дисциплина «Макетирование микроэлектронных средств» тесно взаимосвязан с такими дисциплинами учебного плана, как «Встроенные системы», «Гестопригодное проектирование микроэлектронных средств».

1.4. Результаты освоения программы дисциплины:

В результате изучения дисциплины «Макетирование микроэлектронных средств» обучающийся должен:

- **знать:** основы макетирования микроэлектронных средств различной сложности и уровней абстракции;
- **уметь:** построить и анализировать аппаратные и программные макеты микроэлектронных схем и использовать их при проектировании электронных средств;
- **владеть:** навыками применения методов и средств макетирования при автоматизированном проектировании микроэлектронных средств.

Код компетенции (в соответствии рабочим с учебным планом)	Наименование компетенции (в соответствии рабочим с учебным планом)	Код индикатора достижения компетенций (в соответствии рабочим с учебным планом)	Наименование индикатора достижений компетенций(в соответствии рабочим с учебным планом)
УК-1.	Способен осуществлять	УК-1.1	Знает методы поиска информации,

	<i>критический анализ проблемных ситуаций на основе системного подхода, вырабатывать стратегию действий</i>		ее системного и критического анализа, также системные связи и отношения между явлениями, процессами и объектами.
ОПК-1	<i>Способен представлять современную научную картину мира, выявлять естественнонаучную сущность проблем, определять пути их решения и оценивать эффективность сделанного выбора</i>	ОПК-1.1 ОПК-1.2 ОПК-1.3	Знает фундаментальные законы природы и основные физические и математические законы Умеет применять физические законы и математические методы для решения задач теоретического и прикладного характера Владеет навыками использования знаний физики и математики при решении практических задач
ОПК-4	<i>Способен разрабатывать и применять специализированное программно-математическое обеспечение для проведения исследований и решения инженерных задач</i>	ОПК-4.1 ОПК-4.2 ОПК-4.3	Знает, как использовать компьютерные технологии для подготовки текстовой конструкторско-технологической документации; современные интерактивные программные комплексы для выполнения и редактирования текстов, изображений и чертежей Умеет использовать современные средства автоматизации разработки и выполнения конструкторской документации; проектировать решение конкретной задачи проекта, выбирая оптимальный способ ее решения, исходя из действующих правовых норм и имеющихся ресурсов и ограничений Владеет современными программными средствами подготовки конструкторско-технологической документации
ПК-3	Способен синтезировать логические схемы в базе выбранной технологической библиотеки на основе заданных временных и физических ограничений с использованием средств автоматизированного проектирования	ПК-3.1	Знает методы разработки по операционного маршрута изготовления нанoeлектронных изделий в составе проектной группы

		ПК-3.2	Умеет разрабатывать и проводить экспериментальную проверку технологических процессных блоков (микро-маршруты), объединять их в общий маршрут изготовления нанoeлектронных изделий
		ПК-3.3	Владеет навыками планирования, контроля монтажа и запуска нового оборудования

2. УЧЕБНАЯ ПРОГРАММА

2.1. Цели и задачи дисциплины

Изучение основных принципов и методов макетирования микрoeлектронных средств, а также особенностей и различий аппаратных и программных принципов макетирования. Требования к уровню освоения содержания дисциплины (какие компетенции (знания, умения и навыки) должны быть сформированы у студента после прохождения данной дисциплины)

2.2. Трудоемкость дисциплины и виды учебной работы (в академических часах и зачетных единицах) *(удалить строки, которые не будут применены в рамках дисциплины)*

Виды учебной работы	Всего, в акад. часах
1	2
1. Общая трудоемкость изучения дисциплины по семестрам, в т. ч.:	180/5 к.
1.1. Аудиторные занятия, в т. ч.:	52
1.1.1. Лекции	18
1.1.2. Практические занятия, в т. ч.	34
1.2. Самостоятельная работа, в т. ч.:	86
Итоговый контроль (Экзамен, Зачет, диф. зачет - указать)	Экзамен,

2.3. Содержание дисциплины

2.3.1. Тематический план и трудоемкость аудиторных занятий (модули, разделы дисциплины и виды занятий) по рабочему учебному плану

Разделы и темы дисциплины	Всего (ак. часов)	Лекции (ак. часов)	Практ. Занятия (ак. часов)	Семинары (ак. часов)	Лабор. (ак. часов)
1	2=3+4+5+6 +7	3	4	5	6
Введение Раздел 1. Обзор и изучение современных средств проектирования цифровых систем	1	1			
Тема 1.1. Представление фирма-производителей современных средств проектирования.	6	2	4		
Тема 1.2. Однократно программируемые логические устройства	7	2	5		
Тема 1.3. Многократно программируемые логические устройства (ПЛИС)	7	2	5		
Тема 1.4. Сравнение и анализ современных ПЛИС – FPGA, CPLD	6	2	4		
Тема 1.5. Маршрутизаторы и трассировочные ресурсы ПЛИС	1	1			
Раздел 2. Современные ПЛИС семейства Spartan (Spartan-6) и Virtex (Virtex6, Virtex7)					
Тема2.1 Программируемая секция SLICEL	5	1	4		
Тема2.2 Программируемая секция SLICEM	5	1	4		
Тема2.3. Способы макетирования на FPGA	7	3	4		
Тема2.4. Этапы макетирования на FPGA	8	4	4		
ИТОГО	52	18	34		

2.3.2. Краткое содержание разделов дисциплины в виде тематического плана

Раздел 1. Обзор и изучение современных средств проектирования цифровых систем.

Тема 1.1. Представление ведущих фирма-производителей современных средств проектирования. Сравнение и анализ ПЛИС фирм Xilinx и Altera. Сравнение и анализ моделирующих и синтезирующих пакетов ISEDesign (фирма Xilinx) и QuartusII (фирма Altera).

Тема 1.2. Многократно программируемые логические устройства (ПЛИС). Технологии многократного программирования. Конфигурируемые логические блоки (CLB). Секции в CLB. Базовые единицы программирования в FPGA и в CPLD.

Тема 1.3. Сравнение и анализ современных ПЛИС – FPGA, CPLD

Сравнение способов программирования на FPGA и CPLD. Сравнение и анализ быстродействия программирования на FPGA и CPLD. Сравнение и анализ использования ресурсов FPGA и CPLD при макетировании

Тема 1.4. Маршрутизаторы и трассировочные ресурсы ПЛИС.

Реализация межблочных связей в FPGA. Реализация связей между разными секциями одного блока FPGA. Реализация трассировок в FPGA.

Раздел 2. Современные ПЛИС семейства Spartan (Spartan-6) и Virtex (Virtex6, Virtex7)

Тема 2.1. Программируемая секция SLICEL ПЛИС семейства Spartan и Virtex.

Структура и адресные входы секции SLICEL. Способы реализации (макетирования) комбинационной логики с использованием секции SLICEL

Тема 2.2. Программируемая секция SLICEM. Структура и адресные входы секции SLICEM. Способы реализации (макетирования) комбинационной логики и памяти с использованием секции SLICEM

Тема 2.3. Способы макетирования на FPGA. Представление условно-логического способа проектирования. Составление RTL-описания на языке описания аппаратуры (VHDL, VerilogHDL).

Тема 2.4. Этапы макетирования на FPGA. Составление RTL-описания на языке описания аппаратуры. Этапы синтеза и представление RTL- и технологической схем. Создание констрейнов (.usf) соответствия входных и выходных сигналов. Имплементация и размещение проектируемой схемы на матрице FPGA. Конфигурация FPGA.

2.3.3. Краткое содержание семинарских/практических занятий/лабораторного практикума

1. Описание n=3,4,.. адресной PROM памяти и макетирование на FPGA.

Составление Verilog описания для $n=3,4,..$ адресной PROM памяти, составление констрейн файла для данного описания, генерация бит-файла и макетирование на FPGA с отображением выходных сигналов на LED-ах.

2. Описание кодопреобразователя двоичного кода на семисегментном индикаторе и макетирование на FPGA.

Составление Verilog описания для кодопреобразователя двоичного кода семисегментном индикаторе, составление констрейн файла для данного описания, генерация бит-файла и макетирование на FPGA с отображением выходных сигналов на семисегментном индикаторе.

3. Описание сдвигающего BarrelShifter регистра и макетирование на FPGA.

Составление Verilog описания для сдвигающего BarrelShifter регистра, составление констрейн файла для данного описания, генерация бит-файла и макетирование на FPGA с отображением выходных сигналов на LED-ах.

4. Описание суммирующего/ вычитающего счетчика и макетирование на FPGA.

Составление Verilog описания для суммирующего/ вычитающего счетчика, составление констрейн файла для данного описания, генерация бит-файла и макетирование на FPGA с отображением выходных сигналов на семисегментном индикаторе.

5. Описание счетчика Джонсана и макетирование на FPGA.

Составление Verilog описания для счетчика Джонсана, составление констрейн файла для данного описания, генерация бит-файла и макетирование на FPGA с отображением выходных сигналов на LED-ах.

6. Описание автомата реализующего “бегущую строку” и макетирование на FPGA.

Составление Verilog описания для автомата реализующего “бегущую строку”, составление констрейн файла для данного описания, генерация бит-файла и макетирование на FPGA с отображением выходных сигналов на LED-ах.

7. Описание автомата меняющего свои состояния в определенном порядке и макетирование на FPGA.

Составление Verilog описания для автомата меняющего свои состояния в определенном порядке, составление констрейн файла для данного описания, генерация бит-файла и макетирование на FPGA с отображением выходных сигналов на LED-ах.

2.3.4. Материально-техническое обеспечение дисциплины

Аудитория обеспечена компьютерами, в которых инсталлирован программно-синтезирующий пакет ISEDesign фирмы Xilinx, оборудована FPGA бордами фирмы Xilinx, со встроенными FPGA семейства Spartan-6, и необходимой учебно-методической литературой

2.4. Модульная структура дисциплины с распределением весов по формам контролей

Формы контролей	Вес формы (форм) текущего контроля в результирующей оценке текущего контроля (по модулям)		Вес формы промежуточного контроля в итоговой оценке промежуточного контроля		Вес итоговой оценки промежуточного контроля в результирующей оценке промежуточных контролей		Вес итоговой оценки промежуточного контроля в результирующей оценке промежуточных контролей (семестровой оценке)		Веса результирующей оценки промежуточных контролей и оценки итогового контроля в результирующей оценке итогового контроля
	M1 ¹	M2	M1	M2	M1	M2			
Вид учебной работы/контроля	M1 ¹	M2	M1	M2	M1	M2			
Контрольная работа <i>(при наличии)</i>									
Устный опрос <i>(при наличии)</i>									
Тест <i>(при наличии)</i>									
Лабораторные работы <i>(при наличии)</i>									
Письменные домашние задания <i>(при наличии)</i>									
Реферат <i>(при наличии)</i>									
Эссе <i>(при наличии)</i>									
Проект <i>(при наличии)</i>									
<i>Другие формы (при наличии)</i>									
Веса результирующих оценок текущих контролей в итоговых оценках промежуточных									

¹ Учебный Модуль

контролей								
Весы оценок промежуточных контролей в итоговых оценках промежуточных контролей								
Вес итоговой оценки 1-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес итоговой оценки 2-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес результирующей оценки промежуточных контролей в результирующей оценке итогового контроля								
Вес итогового контроля (Экзамен/зачет) в результирующей оценке итогового контроля								
	$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$

3. Теоретический блок *(указываются материалы, необходимые для освоения учебной программы дисциплины)*

3.1. Материалы по теоретической части курса

3.1.1. Учебники

1. А.Ю. Попов. Проектирование цифровых устройств с использованием ПЛИС
2. Патрик Гёлль, **Электронные устройства с программируемыми компонентами. 2003г. - 2003 Кб**
3. Бродин В. Б., Калинин А. В., **Системы на микроконтроллерах и БИС программируемой логики. 2006г. - 5152 Кб**

3.1.2. Электронные материалы

1. http://de.ifmo.ru/bk_netra/page.php?tutindex=25&index=43
2. http://radiottract.ru/book_digital_004.html

3.2. Планы практических занятий

1. Описание кодопреобразователя двоичного кода на семисегментном индикаторе и макетирование на FPGA.
2. Описание сдвигающего BarrelShifter регистра и макетирование на FPGA.
3. Описание суммирующего/ вычитающего счетчика и макетирование на FPGA.
4. Описание автомата реализующего “бегущую строку” и макетирование на FPGA.
5. Описание автомата меняющего свои состояния в определенном порядке и макетирование на FPGA.

Материалы по оценке и контролю знаний

Тематика самостоятельных работ: самостоятельно разработать и макетировать на FPGA

1. Детекторы различных входных последовательностей,
 2. Реверсивные счетчики по модулю M,
 3. Дорожный светофор по модулю 10.
- 4. Фонды оценочных средств (указываются материалы, необходимые для проверки уровня знаний в соответствии с содержанием учебной программы дисциплины).**

Перечень экзаменационных вопросов

1. Сложные программируемые устройства
2. FPGA. Классические FPGA. Обобщенная структура FPGA.
3. Конфигурируемые логические блоки.
4. FPGA семейства Virtex-6 “ Virtex-7.
5. Секции SLICELиSLICEM.
6. Анализ современных ПЛИС – FPGA, CPLD
7. Сравнение современных ПЛИС – FPGA, CPLD
8. Реализация межблочных связей в FPGA.
9. Реализация связей между разными секциями одного блока FPGA.
10. Реализация трассировок в FPGA.
11. Способы макетирования на FPGA.
12. Представление условно-логического способа проектирования.
13. Этапы макетирования на FPGA.

Образец экзаменационного билета

БИЛЕТ

1. FPGA семейства Virtex-6 “ Virtex-7.
2. Реализация связей между разными секциями одного блока FPGA.

Задача 1.

Реализовать на FPGA вычитающий счетчик по модулю 6.

Задача 2.

Реализовать на FPGA детектор входной последовательности 100010/1.

5. Методический блок

Для освоения данной дисциплины студентам рекомендуется своевременное выполнение всех самостоятельных работ, подготовка к выполнению лабораторных работ и изучение литературы по специальности, представленной в пункте 3.