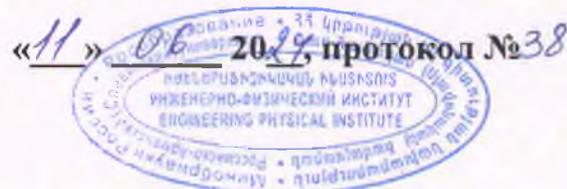


ГОУ ВПО Российско-Армянский (Славянский)
университет

Утверждено
Директор Института *И.И.И.*



УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС ДИСЦИПЛИНЫ

Б1.В.13 «Тестирование интегральных схем»

Автор (ы) Джанполадов Вахтанг Арташесович
Ф.И.О, ученое звание (при наличии), ученая степень (при наличии)

Направление подготовки: **11.03.03**

Наименование образовательной программы: «Конструирование и
технология электронных средств»

Согласовано:

И.о. зав. Кафедрой Микроэлектронных схем и систем

Меликян В.Ш.



(подпись)

1. АННОТАЦИЯ

1.1. Краткое описание содержания данной дисциплины: в рамках данной дисциплины изучаются методы тестирования интегральных схем и маршрут тестопригодного проектирования.

1.2. Трудоемкость в академических кредитах и часах, формы итогового контроля (экзамен/зачет); 4 кред., 144ч, 28ч. лек, 14ч. лаб., СР 39ч., 63ч. экзамен.

1.3. Взаимосвязь дисциплины с другими дисциплинами учебного плана специальности
 Курс «Тестирование интегральных схем» тесно взаимосвязан с такими дисциплинами специальности «Конструирование и технология электронных средств», как «Схемо- и системотехника электронных средств», «Синтез и оптимизация цифровых интегральных схем», «Проектирование цифровых интегральных схем», «Управление качеством электронных средств».

1.4. В результате изучения данной дисциплины студент должен:

- **знать:** основы тестирования интегральных схем, анализа неисправностей
- **уметь:** проектировать тестопригодные интегральные схемы
- **владеть:** необходимыми знаниями в области моделирования неисправностей и автоматизации тестирования

Код компетенции (в соответствии рабочим с учебным планом)	Наименование компетенции (в соответствии рабочим с учебным планом)	Код индикатора достижения компетенций (в соответствии рабочим с учебным планом)	Наименование индикатора достижений компетенций (в соответствии рабочим с учебным планом)
УК-1.	Способен осуществлять поиск, критический анализ и синтез информации, применять системный подход для решения поставленных задач	УК-1.1.	Знает как осуществлять поиск, критический анализ и синтез информации для решения поставленных профессиональных задач.
		УК 1.2.	Умеет применять системный подход на основе поиска, критического анализа и синтеза информации для решения задач

			профессиональной области.
		УК-1.3.	Владеет навыками поиска, синтеза и критического анализа информации в своей профессиональной области; владеет системным подходом для решения поставленных задач.
УК-6.	Способен управлять своим временем, выстраивать и реализовывать траекторию саморазвития на основе принципов образования в течение всей жизни	УК-6.1.	Знает основные приемы эффективного управления собственным временем
		УК-6.2.	Умеет эффективно планировать и контролировать собственное время
		УК-6.3.	Владеет методами управления собственным временем
ПК-3	Способен синтезировать логические схемы в базе выбранной технологической библиотеки на основе заданных временных и физических ограничений с использованием средств автоматизированного проектирования	ПК-3.1	Знает разработку набора ограничений на процесс синтеза
		ПК-3.2	Умеет разработать и встраивать средства для самотестирования и кристального тестирования
		ПК-3.3	Владеет моделированием полученного списка цепей цифровой части СнК
ПК-5	Способен разработать аналоговые части интегральной схемы или системы на кристалле	ПК-5.1	Знает интеграцию топологического представления аналоговой части
		ПК-5.2	Умеет проводить анализ технического задания на

			аналоговую часть интегральной схемы
		ПК-5.3	Владеет разработкой схемотехнических описаний блоков аналоговой части

2. УЧЕБНАЯ ПРОГРАММА

2.1. Цели и задачи дисциплины

Целью дисциплины «Тестирование интегральных схем» является изучение основ анализа неисправностей, генерации тестов и тестирования интегральных схем, формирование необходимых знаний в области моделирования неисправностей, автоматизации тестирования и принципов проектирования тестопригодных схем.

2.2. Трудоемкость дисциплины и виды учебной работы (в академических часах и зачетных единицах)

Виды учебной работы	Всего, в акад. часах
1. Общая трудоемкость изучения дисциплины по семестрам, в т. ч.:	144/4кред
1.1. Аудиторные занятия, в т. ч.:	42
1.1.1. Лекции	28
1.1.2. Лабораторные занятия	14
1.2. Самостоятельная работа, в т.ч.:	39
Итоговый контроль Экзамен	63

2.3. Содержание дисциплины

2.3.1. Тематический план и трудоемкость аудиторных занятий (модули, разделы дисциплины и виды занятий) по рабочему учебному плану

Разделы и темы дисциплины	Всего (ак. часов)	Лекции (ак. часов)	Лабор. (ак. часов)
Модуль 1.	22	16	6
Тема 1.1. Введение. Необходимость, методы, затраты и задачи тестирования.	2	2	

Тема 1.2. Тестирование интегральных схем. Процесс тестирования на стадиях производства ИС. Пакет программ для создания тестов.	6	4	2
Тема 1.3. Неисправности и моделирование неисправностей. Типы и источники неисправностей. Моделирование неисправностей.	6	4	2
Тема 1.4. Критерии тестируемости. Анализ тестируемости. Наблюдаемость и управляемость.	2	2	
Тема 1.5. Алгоритмы генерации тестовых последовательностей комбинационных схем. Алгоритмы автоматической генерации тестов.	6	4	2
Модуль 2.	20	12	8
Тема 2.1. Тестопригодное проектирование (<i>DFT</i>). Свободное/интуитивное тестирования (<i>ad-hoc testing</i>). Автоматическое формирование тестового шаблона (<i>ATPG</i>).	6	4	2
Тема 2.2. Встроенное самотестирование (<i>Built-in-Self-Test (BIST)</i>). Архитектура встроенного самотестирования. Встроенный блок логических наблюдений (<i>BILBO</i>).	8	4	4
Тема 2.3. Системное тестирование. Внутрисистемное тестирование/граничное сканирование (<i>BoundaryScan</i>). Тестирование аналоговых и смешанных сигналов.	6	4	2
ИТОГО	42	28	14

2.3.2. Краткое содержание разделов дисциплины в виде тематического плана

Основные разделы:

- цели тестопригодного проектирования;
- процедура тестирования в процессе проектирования и производства микроэлектронных средств;
- последовательное тестирование;

- алгоритмы автоматизированной генерации тестов;
- полное и частичное последовательное тестирование;
- процесс разработки системы последовательного тестирования;
- архитектура встроенного самотестирования;
- JTAG-стандарт (IEEE 1149.1);
- языки описания тестирования;
- маршрут тестопригодного проектирования микроэлектронных средств.

Модуль 1.

Введение. Цели тестопригодного проектирования.

Тема 1.1. Важность тестирования. Процедура тестирования в процессе проектирования и производства микроэлектронных средств.

Тема 1.2. Последовательное тестирование.

Автоматическая генерация тестовых векторов. Процесс разработки системы последовательного тестирования.

Тема 1.3. Полное и частичное последовательное тестирование.

Посторонние эффекты при последовательном тестировании.

Тема 1.4. Встроенное самотестирование (Built-in-Self-Test (BIST)). Архитектура встроенного самотестирования.

Генерация тестовых векторов. Регистр сдвига с линейной обратной связью (LFSR).

Модуль 2.

Тема 2.1. Внутрисистемное тестирование/граничное сканирование (Boundary Scan).

JTAG-стандарт (IEEE 1149.1). Применение граничного сканирования для тестирования печатных плат.

Тема 2.2. Языки описания тестирования.

Язык описания граничного сканирования (Boundary Scan Description Language (BSDL)).

Порт тестирования (TAP — Test Access Port). Контроллер TAP.

Тема 2.3. Регистры и команды граничного сканирования.

Регистр команд. Регистр данных. Граф состояний TAP контроллера. Использование TAP для тестирования внутренних схем в ИС.

Тема 2.4. Маршрут тестопригодного проектирования микроэлектронных средств (*DFT* - Design for Testability). Реализация тестопригодного проектирования ИС.

Вес итоговой оценки 3-го промежуточного контроля в результирующей оценке промежуточных контролей т.д.							0.5	
Вес результирующей оценки промежуточных контролей в результирующей оценке итогового контроля								0.4
Зачет(оценка итогового контроля)								0.6
			$\Sigma = 1$			$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$

3. Теоретический блок *(указываются материалы, необходимые для освоения учебной программы дисциплины)*

1.1. Материалы по теоретической части курса

1.1.1. Учебник(и);

1.1.1.1. D. Gizopoulos. Advances in Electronic Testing: Challenges and Methodologies. Springer; 2014

1.1.1.2. M. Onabajo, J. Silva-Martinez. Analog Circuit Design for Process Variation-Resilient Systems-on-a-Chip. Springer; 2014

1.1.1.3. N.Weste, D. Harris. CMOS VLSI Design: A Circuits and Systems Perspective, 4th edition; 2010

1.1.1.4. M. Abramovici, M.A. Breuer, A.D. Friedman. Digital Systems Testing and Testable Designs; 2000

4. Фонды оценочных средств *(указываются материалы, необходимые для проверки уровня знаний в соответствии с содержанием учебной программы дисциплины).*

4.1. Планы практических и семинарских занятий

1. Исследование процесса автоматизации тестопригодного проектирования (DFT).
2. Автоматическая генерация тестовых векторов при последовательном тестировании.
3. Исследование встроенного самотестирования (BIST).
4. Исследование последовательного тестирования.

5. Методический блок

5.1. Методика преподавания

5.1.1. Методические рекомендации для студентов по подготовке к семинарским, практическим или лабораторным занятиям, по организации самостоятельной работы студентов при изучении конкретной дисциплины.

1. Последовательное тестирование
2. Автоматическая генерация тестовых векторов
3. Полное и частичное последовательное тестирование
4. Встроенное самотестирование (BIST)
5. Регистр сдвига с линейной обратной связью (LFSR)
6. Граничное сканирование (Boundary Scan)
7. JTAG-стандарт (IEEE 1149.1)
8. Язык описания граничного сканирования (BSDL)
9. Контроллер TAP. Граф состояний TAP контроллера
10. Регистры и команды граничного сканирования
11. Маршрут тестопригодного проектирования микроэлектронных средств (*DFT*).